

AS

Searching PAJ

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-163130  
 (43)Date of publication of application : 19.06.1998

(51)Int.Cl.

H01L 21/28  
 H01L 29/78

(21)Application number : 08-316288  
 (22)Date of filing : 27.11.1996

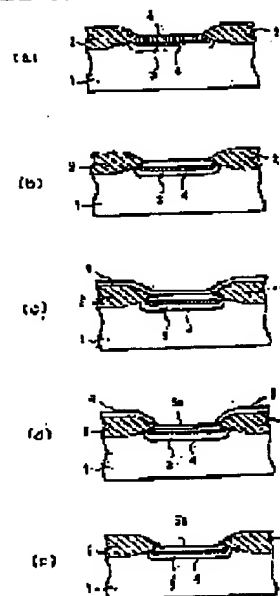
(71)Applicant : MITSUBISHI ELECTRIC CORP  
 (72)Inventor : TSUTSUMI TOSHIAKI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

## (57)Abstract:

PROBLEM TO BE SOLVED: To make smooth the interface of a Co silicide film, by providing a Ga injection layer having an impurity concn. peak at a shallower position than the interface between a CoSi<sub>2</sub> layer and constituent Si of a semiconductor substrate, and forming impurity regions in lower portions of the Ge layer.

SOLUTION: A Ge injection layer 4 formed on the cleaned surface of a semiconductor substrate 1 has a peak at a deeper position than that of an initial Co silicide layer formed later, and is adjusted so that the peak locates approximately on or above the interface between a finally formed Co silicide layer 5 and constituent Si of the substrate 1. A Co film 6 is formed and reacted with the Si of the substrate 1 at impurity regions to form a first Co silicide film 5a, which is then heat treated to finally obtain a second CoSi<sub>2</sub> film 5a. Thus, this film 5a is made smooth on the semiconductor substrate 1 surface.



## LEGAL STATUS

[Date of request for examination]

09.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-163130

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 21/28  
29/78識別記号  
3 0 1F I  
H 0 1 L 21/28  
29/783 0 1 T  
3 0 1 X

審査請求 未請求 請求項の数 11 O L (全 12 頁)

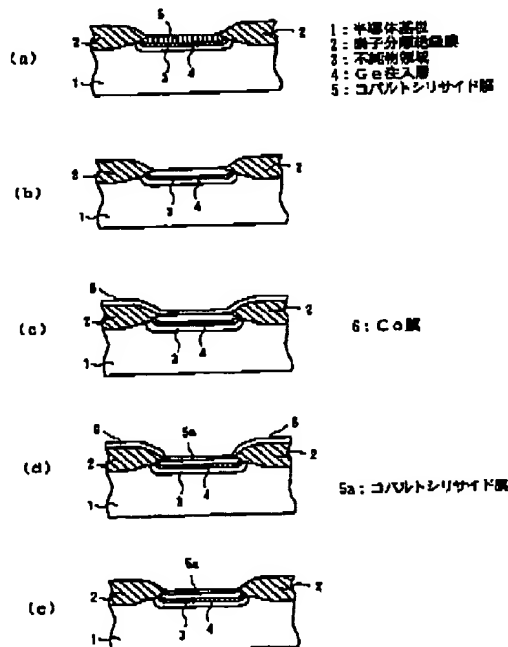
(21) 出願番号 特願平8-316268  
(22) 出願日 平成8年(1996)11月27日(71) 出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号  
(72) 発明者 堤 聡明  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
(74) 代理人 弁理士 宮田 金雄 (外2名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 従来のコバルトシリサイド工程においては、例えば半導体基板の拡散領域表面に直接コバルト膜を積層し、熱処理を加えていたため、形成されたコバルトシリサイド膜と拡散領域との接合面の凹凸が激しくなり、半導体基板と拡散領域との接合面にまでコバルトシリサイド膜が達し、接合リークを招く等の問題があった。

【解決手段】 この発明では、あらかじめ、コバルトシリサイド膜を形成しようとする領域にGe注入層を、例えば拡散領域の表面と拡散領域との中間的な深さにそのピークが位置するように形成しておく。これによってコバルトシリサイド膜の形成の際に、Geが存在する部分についてはシリサイド化を抑制し、拡散領域と半導体基板との接合面にシリサイド膜が達しないような平滑な底面を有するコバルトシリサイド膜を形成する。



(2)

特開平10-163130

1

## 【特許請求の範囲】

【請求項1】 半導体基板の表面に形成されたC o S i<sub>2</sub>層、上記C o S i<sub>2</sub>層と上記半導体基板を構成するS iとの界面若しくは上記界面よりも浅い位置にG e不純物濃度ピークを有するG e注入層、上記G e注入層の下部に形成された不純物領域を含み、上記C o S i<sub>2</sub>層と上記G e注入層が接合する面は平滑であり、上記C o S i<sub>2</sub>層は上記半導体基板と上記不純物領域とのPN接合面から離隔していることを特徴とする半導体装置。

【請求項2】 半導体基板の一主面から所定の深さにかけて形成された不純物領域、上記不純物領域上に積層されたG e膜、上記G e膜上に積層されたC o S i<sub>2</sub>膜を含み、上記C o S i<sub>2</sub>膜は上記半導体基板と上記不純物領域とのPN接合面から離隔していることを特徴とする半導体装置。

【請求項3】 半導体基板のうち、チャネル領域となる領域上にゲート絶縁膜を介して積層されたゲート電極、上記チャネル領域を挟んで形成されたソース／ドレイン領域、上記ゲート電極及びソース／ドレイン領域内の表面に形成されたC o S i<sub>2</sub>層、上記C o S i<sub>2</sub>層と上記半導体基板を構成するS iとの界面若しくは上記界面よりも浅い位置にG e不純物濃度ピークを有するG e注入層を含むMOSトランジスタを含み、少なくとも上記C o S i<sub>2</sub>層は上記半導体基板と上記ソース／ドレイン領域とのPN接合面から離隔していることを特徴とする半導体装置。

【請求項4】 半導体基板のうち、チャネル領域となる領域上にゲート絶縁膜を介して積層されたゲート電極、上記チャネル領域を挟んで形成されたソース／ドレイン領域、上記ゲート電極及びソース／ドレイン領域上に積層されたG e膜、上記G e膜上に積層されたC o S i<sub>2</sub>膜を含むMOSトランジスタを含み、上記C o S i<sub>2</sub>膜と上記G e膜とは接しており、上記C o S i<sub>2</sub>膜は上記半導体基板と上記ソース／ドレイン領域とのPN接合面から離隔していることを特徴とする半導体装置。

【請求項5】 半導体基板の一主面から所定の深さにかけて不純物領域を形成する工程、上記不純物領域が形成された領域の上記半導体基板の一主面から上記所定の深さ未満の位置にピークを有するG e注入層を形成する工程、上記半導体基板上にC o膜を所定の厚さに積層する工程、第一の温度下において熱処理を行い上記C o膜と上記半導体基板とを反応させ、上記半導体基板の表面から上記G e注入層のピーク位置までの深さよりも薄い第一のコバルトシリサイド膜を形成する工程、上記C o膜のうち上記第一のコバルトシリサイド膜形成後、未反応のまま残されたC oを除去する工程、第二の温度下において熱処理を行い上記第一のコバルトシリサイド膜を組成の異なる第二のコバルトシリサイド膜に変化させる工程を含み、上記第二のコバルトシリサイド膜と上記半導体基板を構成するS iと同じ若しくは浅い位置に、上記

2

G e注入層の上記ピークが位置し、上記第二のコバルトシリサイド膜は上記半導体基板と上記不純物領域とのPN接合面から離隔していることを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板の一主面から所定の深さにかけて不純物領域を形成する工程、上記不純物領域が形成された領域の上記半導体基板の一主面上に所定の膜厚のG e膜を形成する工程、少なくとも上記G e膜上に所定の膜厚のS i膜を積層する工程、上記S i膜上に所定の膜厚のC o膜を積層する工程、第一の温度下において熱処理を行い上記C o膜と上記S i膜を反応させ上記S i膜と等しい膜厚若しくは薄い膜厚の第一のコバルトシリサイド膜を形成する工程、上記C o膜のうち上記第一のコバルトシリサイド膜形成後、未反応のまま残されたC oを除去する工程、第二の温度下において熱処理を行い、上記第一のコバルトシリサイド膜を組成の異なる第二のコバルトシリサイド膜に変化させる工程を含み、上記第二のコバルトシリサイド膜形成時に上記S i膜全てが消費され、上記第二のコバルトシリサイド膜は上記半導体基板と上記不純物領域とのPN接合面から離隔していることを特徴とする半導体装置の製造方法。

【請求項7】 半導体基板上のMOSトランジスタのチャネル領域となる領域上にゲート絶縁膜を介してゲート電極を形成する工程、上記ゲート電極の側断面に絶縁物質からなるサイドウォールを形成する工程、少なくとも上記半導体基板のMOSトランジスタのソース／ドレイン領域となる一主面及び上記ゲート電極の上面から所定の深さ未満の位置にピークを有するG e注入層を形成する工程、少なくとも上記MOSトランジスタの形成領域上にC o膜を所定の厚さに積層する工程、第一の温度下において熱処理を行い上記C o膜と上記ゲート電極及び上記ソース／ドレイン領域となる領域に位置する半導体基板とを反応させ、上記半導体基板の表面から上記G e注入層のピーク位置までの深さよりも薄い膜厚の第一のコバルトシリサイド膜を形成する工程、上記C o膜のうち上記第一のコバルトシリサイド膜形成後、未反応のまま残されたC oを除去する工程、第二の温度下において熱処理を行い上記第一のコバルトシリサイド膜を組成の異なる第二のコバルトシリサイド膜に変化させる工程を含み、上記第二のコバルトシリサイド膜と上記半導体基板を構成するS iとの界面と同じ若しくは浅い位置に上記G e注入層の上記ピークが位置し、上記第二のコバルトシリサイド膜は上記半導体基板と上記不純物領域とのPN接合面から離隔していることを特徴とする半導体装置の製造方法。

【請求項8】 半導体基板上のMOSトランジスタのチャネル領域となる領域上にゲート絶縁膜を介してゲート電極を形成する工程、上記ゲート電極の側面に絶縁物質からなるサイドウォールを形成する工程、上記半導体基板のMOSトランジスタのソース／ドレイン領域となる

(3)

特開平10-163130

一主面及び上記ゲート電極の上面にGe膜を形成する工程、上記Ge膜上にSi膜を積層する工程、少なくとも上記MOSトランジスタの形成領域上にCo膜を任意の厚さに積層する工程、第一の温度下において熱処理を行い、上記Co膜と上記Si膜とを反応させ上記Si膜より薄い膜厚の第一のコバルトシリサイド膜を形成する工程、上記Co膜のうち上記第一のコバルトシリサイド膜形成後、未反応のまま残されたCoを除去する工程、第二の温度下において熱処理を行い上記第一のコバルトシリサイド膜を組成の異なる第二のコバルトシリサイド膜に変化させる工程を含み、上記第二のコバルトシリサイド膜形成時に上記Si膜が全て消費され、上記第二のコバルトシリサイド膜は上記半導体基板と上記不純物領域とのPN接合面から隔離していることを特徴とする半導体装置の製造方法。

【請求項9】 Ge注入層形成のためのGe注入工程の前に、半導体基板の表面に対してエッチングを行い、クリーニングする工程を含むことを特徴とする請求項5、7のいずれか一項記載の半導体装置の製造方法。

【請求項10】 第一の温度は350～550℃、第二の温度が700～900℃であることを特徴とする請求項5～8のいずれか一項記載の半導体装置の製造方法。

【請求項11】 第一のコバルトシリサイド膜はCoSi<sub>1</sub>若しくはCo<sub>2</sub>Si<sub>1</sub>のいずれか一方、若しくは両方が混合された物質からなり、第二のコバルトシリサイド膜はCoSi<sub>2</sub>からなることを特徴とする請求項5～8のいずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明はコバルトシリサイドを構成要素として有する半導体装置と、その半導体装置の製造方法に関し、特にコバルトシリサイドプロセスに関するものである。

【0002】

【従来の技術】 マイクロプロセッサの様なロジックデバイスは、高集積、高速度動作が要求されてきている。サリサイドプロセスとは、トランジスタのソース/ドレイン領域等の不純物領域（不純物拡散領域または不純物注入領域）及びゲート電極等のポリシリコン層あるいはアモルファスシリコン層を選択的にシリサイド化し抵抗を下げるプロセスであり、写真製版の工程を不要とし、自己整合的に形成できるため、高集積半導体装置に適したプロセスである。

【0003】 従来、サリサイドに用いられる金属としては、チタンが一般的であったが、クォーターミクロン以下の配線部に用いた場合においては、配線抵抗の増大、ゲート電極とソース/ドレイン領域間の短絡不良の発生、ゲート電極の側断面に付着して形成される絶縁膜からなるサイドウォール上にも金属シリサイドが成長する「オーバーグロース（這い上がり）」によるゲート電極

とソース/ドレイン領域間の短絡不良の発生等の問題が生じていた。

【0004】 近年では、チタンの代わりにコバルトを用いることにより、これらの問題が解決できることが明らかとなり、コバルトを用いたサリサイドプロセスが用いられるようになってきた。しかし、コバルトを用いた場合には、チタンを用いたサリサイド工程においては問題とならなかった、シリサイド膜とシリコン基板との界面の凹凸が大きくなり、浅い接合に対しては接合リーク電流の不良が発生するという問題が発生した。

【0005】 次に、従来の技術によるコバルトを用いたサリサイドプロセスについて工程順に説明する。まず、図5（a）に示すように、半導体基板101の表面にLOCOS（local oxidation of silicon）法などによって膜厚500nm程度の素子分離絶縁膜102を形成し、半導体基板1の表面に対して、例えばAsを10～100keV、1E14～1E16cm<sup>-2</sup>またはBF<sub>3</sub>を25～50keV、1E14～1E16cm<sup>-2</sup>の条件で不純物イオン注入等を行うことによって不純物領域103を形成する。

【0006】 次に、図5（b）に示すように、スパッタリング法によって図5（a）に示した半導体装置の表面に、膜厚10～20nmとなるようにCo（コバルト）膜104を積層する。

【0007】 その後、図5（c）に示すように、第一の温度、350～500℃で60秒間アニールを行うことにより、活性領域の表面に第一のコバルトシリサイド膜105を形成する。このとき、第一のコバルトシリサイド膜105の膜厚はCo膜104の膜厚の2倍程度の膜厚となり、第一のコバルトシリサイド膜105の下部には不純物領域103が存在する状態となっている。

【0008】 次に、図5（d）に示すように、薬品、例えば硫酸と過酸化水素水との混合液を用いて未反応のCo膜104を溶解させ除去する。その後、図5（e）に示すように、第二の温度、700～900℃で10～60秒間の熱処理を施し、第一のコバルトシリサイド膜105を第二のコバルトシリサイド膜（CoSi<sub>2</sub>）106に変化させる。この第二のコバルトシリサイド膜106の膜厚は、Co膜104の膜厚の3.5倍程度の膜厚となる。

【0009】 第二のコバルトシリサイド膜106を形成した場合、シリコンからなる半導体基板101とこの第二のコバルトシリサイド膜106との界面が不均一となり、凹凸が大きくなり、つまり第二のコバルトシリサイド膜106の一部が極端に大きな膜厚を持つ状態となった場合、不純物領域103と半導体基板101とのP-N接合部にまで第二のコバルトシリサイド膜106が達する状態となり、この部分において接合リーク電流が大きくなるという問題が生じる。

【0010】 第二のコバルトシリサイド膜106を形成

(4)

特開平10-163130

5

した場合に局部的に膜厚が大きな部分が形成される原因としては、半導体装置に用いるシリコン基板は、(100)配向基板を用いるが、 $\text{CoSi}_2$ はシリコン基板の(100)面に比べ(111)面との界面エネルギーが低いため、シリコン(111)面と $\text{CoSi}_2$ とが接する界面が現れるためであると考えられている。

【0011】その他、従来の技術として特開平8-78360号公報にサリサイドプロセスを用いた半導体装置の製造方法の一例が開示されている。この方法によれば、配線を必要とする部分(素子分離絶縁膜上)に、まず $\text{SiGe}$ 膜を選択的にパターニングし、次に、全面にコバルト膜を所定の厚さに積層して熱処理を行うことでMOS(metal oxide semiconductor)トランジスタのソース/ドレイン領域上及びゲート電極上にサリサイドを形成するとともに素子分離絶縁膜上の $\text{SiGe}$ 膜をパターニングしていた部分には配線として用いることが可能な低抵抗な導電物質を形成することが可能となることが示されている。

【0012】しかし、上記のような方法を用いた場合においても、ソース/ドレイン領域上及びゲート電極上に形成するサリサイドはシリコンとコバルトとを熱処理によって反応させて金属シリサイド化するため、図5(e)で示した場合と同様に、形成されたコバルトシリサイドはその膜厚が局部的に大きくなり、不純物領域と半導体基板とのP-N接合にまで達した場合には接合リーク電流が発生する等の問題の解決にはならない。

【0013】

【発明が解決しようとする課題】この発明は、コバルトを用いたサリサイドプロセスにおいて、形成したコバルトシリサイドが局部的に大きな膜厚を持つ状態となり、これがP-N接合に達した場合は接合リーク電流が発生するという問題を解決するためになされたものであり、界面形状の平滑なコバルトシリサイド膜を形成することを目的としており、良好なデバイス特性を持つ半導体装置の製造方法を目的としているものである。

【0014】

【課題を解決するための手段】この発明による半導体装置は、半導体基板の表面に形成された $\text{CoSi}_2$ 層、上記 $\text{CoSi}_2$ 層と上記半導体基板を構成するSiとの界面と同じ若しくはより浅い位置にGe(ゲルマニウム)不純物濃度ピークを有するGe注入層、上記Ge注入層の下部に形成された不純物領域を含み、上記 $\text{CoSi}_2$ 層と上記Ge注入層が接合する面は平滑であり、上記 $\text{CoSi}_2$ 層は上記半導体基板と上記不純物領域との接合面から離隔している、つまり接合面に接していないことを特徴とするものである。

【0015】また、この発明による半導体装置は、半導体基板の一主面から所定の深さにかけて形成された不純物領域、上記不純物領域上に積層されたGe膜、上記Ge膜上に積層された $\text{CoSi}_2$ 膜を含み、上記 $\text{CoSi}_2$

6

膜は上記半導体基板と上記不純物領域とのPN接合面から離隔していることを特徴とするものである。

【0016】さらに、この発明による半導体装置は、半導体基板のうち、チャネル領域となる領域上にゲート絶縁膜を介して積層されたゲート電極、上記チャネル領域を挟んで形成されたソース/ドレイン領域、上記ゲート電極及びソース/ドレイン領域の表面に形成された $\text{CoSi}_2$ 層、上記 $\text{CoSi}_2$ 層と上記半導体基板を構成するSiとの界面と同じ若しくはより浅い位置にGe不純物濃度ピークを有するGe注入層を含むMOSトランジスタを含み、上記 $\text{CoSi}_2$ 層と上記Ge注入層が接合する面は平滑であり、少なくとも上記 $\text{CoSi}_2$ 層は上記半導体基板と上記ソース/ドレイン領域とのPN接合面から離隔していることを特徴とするものである。

【0017】また、この発明による半導体装置は、半導体基板のうち、チャネル領域となる領域上にゲート絶縁膜を介して積層されたゲート電極、上記チャネル領域を挟んで形成されたソース/ドレイン領域、上記ゲート電極及びソース/ドレイン領域上に積層されたGe膜、上記Ge膜上に積層された $\text{CoSi}_2$ 膜を含むMOSトランジスタを含み、上記 $\text{CoSi}_2$ 膜と上記Ge膜とは接しており、上記 $\text{CoSi}_2$ 膜は上記半導体基板と上記ソース/ドレイン領域とのPN接合面から離隔していることを特徴とするものである。

【0018】この発明による半導体装置の製造方法は、半導体基板の一主面から所定の深さにかけて不純物領域を形成する工程、上記不純物領域が形成された領域の上記半導体基板の一主面から上記所定の深さ未満の位置にピークを有するGe注入層を形成する工程、上記半導体基板上にCo膜を所定の厚さに積層する工程、第一の温度下において熱処理を行い上記Co膜と上記半導体基板とを反応させ、上記半導体基板の表面から上記Ge注入層のピーク位置までの深さよりも薄い第一のコバルトシリサイド膜を形成する工程、上記Co膜のうち上記第一のコバルトシリサイド膜形成後、未反応のまま残されたCoを除去する工程、第二の温度下において熱処理を行い上記第一のコバルトシリサイド膜を組成の異なる第二のコバルトシリサイド膜に変化させる工程を含むものであり、上記第二のコバルトシリサイド膜と上記半導体基板を構成するSiとの界面と同じか若しくはより浅い位置に上記Ge注入層の上記ピークが位置し、上記第二のコバルトシリサイド膜は上記半導体基板と上記不純物領域とのPN接合面から離隔していることを特徴とするものである。

【0019】さらに、この発明による半導体装置の製造方法は、半導体基板の一主面から所定の深さにかけて不純物領域を形成する工程、上記不純物領域が形成された領域の上記半導体基板の一主面上に所定の膜厚のGe膜を形成する工程、少なくとも上記Ge膜上に所定の膜厚のSi(シリコン)膜を積層する工程、上記Si膜上に

(5)

特開平10-163130

7

所定の膜厚のC<sub>o</sub>膜を積層する工程、第一の温度下において熱処理を行い上記C<sub>o</sub>膜と上記Si膜を反応させ上記Si膜より薄い若しくは等しい膜厚の第一のコバルトシリサイド膜を形成する工程、上記C<sub>o</sub>膜のうち上記第一のコバルトシリサイド膜形成後、未反応のまま残されたC<sub>o</sub>を除去する工程、第二の温度下において熱処理を行い、上記第一のコバルトシリサイド膜を組成の異なる第二のコバルトシリサイド膜に変化させる工程を含むものであり、上記第二のコバルトシリサイド膜形成時に上記Si膜全てが消費され、上記第二のコバルトシリサイド膜は上記不純物領域とのPN接合面から離隔していることを特徴とするものである。

【0020】また、この発明による半導体装置の製造方法は、半導体基板上のMOSトランジスタのチャネル領域となる領域上にゲート絶縁膜を介してゲート電極を形成する工程、上記ゲート電極の側断面に絶縁物質からなるサイドウォールを形成する工程、少なくとも上記半導体基板のMOSトランジスタのソース/ドレイン領域となる一主面及び上記ゲート電極の上面から所定の深さ未満の位置にピークを有するGe注入層を形成する工程、少なくとも上記MOSトランジスタの形成領域上にC<sub>o</sub>膜を所定の厚さに積層する工程、第一の温度下において熱処理を行い上記C<sub>o</sub>膜と上記導電配線及び上記ソース/ドレイン領域となる領域に位置する半導体基板とを反応させ、上記半導体基板の表面から上記Ge注入層のピーク位置間での深さより薄い膜厚の第一のコバルトシリサイド膜を形成する工程、上記C<sub>o</sub>膜のうち上記第一のコバルトシリサイド膜形成後、未反応のまま残されたC<sub>o</sub>を除去する工程、第二の温度下において熱処理を行い上記第一のコバルトシリサイド膜を組成の異なる第二のコバルトシリサイド膜に変化させる工程を含むものであり、上記第二のコバルトシリサイド膜と上記半導体基板を構成するSiとの界面と同じ若しくはより浅い位置に上記Ge注入層のピークが位置し、上記第二のコバルトシリサイド膜は上記半導体基板と上記不純物領域とのPN接合面から離隔していることを特徴とするものである。

【0021】さらに、この発明による半導体装置の製造方法は、半導体基板上のMOSトランジスタのチャネル領域となる領域上にゲート絶縁膜を介してゲート電極を形成する工程、上記ゲート電極の側面に絶縁物質からなるサイドウォールを形成する工程、上記半導体基板のMOSトランジスタのソース/ドレイン領域となる一主面及び上記ゲート電極の上面にGe膜を形成する工程、上記Ge膜上にSi膜を積層する工程、少なくとも上記MOSトランジスタの形成領域上にC<sub>o</sub>膜を任意の厚さに積層する工程、第一の温度下において熱処理を行い、上記C<sub>o</sub>膜と上記Si膜とを反応させ上記Si膜より薄い膜厚の第一のコバルトシリサイド膜を形成する工程、上記C<sub>o</sub>膜のうち上記第一のコバルトシリサイド膜形成

8

後、未反応のまま残されたC<sub>o</sub>を除去する工程、第二の温度下において熱処理を行い上記第一のコバルトシリサイド膜を組成の異なる第二のコバルトシリサイド膜に変化させる工程を含むものであり、上記第二のコバルトシリサイド膜形成時に上記Si膜が全て消費され、上記第二のコバルトシリサイド膜は上記半導体基板と上記不純物領域とのPN接合面から離隔していることを特徴とするものである。

【0022】また、このGe注入層を形成する工程を含む半導体装置の製造方法においては、Ge注入層形成のためのGe注入工程の前に、半導体基板の表面に対してエッチングを行い、クリーニングする工程を含むものとする。

【0023】さらに、上記のような半導体装置の製造方法において、第一の温度は350～550℃、第二の温度は700～900℃となるように調整するものとする。

【0024】また、上記のような半導体装置の製造方法において、第一のコバルトシリサイド膜はC<sub>o</sub>Si若しくはC<sub>o</sub>Si<sub>2</sub>のいずれか一方、若しくは両方が混合された物質からなり、第二のコバルトシリサイド膜はC<sub>o</sub>Si<sub>2</sub>からなるものとする。

【0025】

【発明の実施の形態】

実施の形態1. 次に、この発明の実施の形態1である半導体基板の表面に形成するコバルトシリサイドが、半導体基板との界面において平滑な形状となり、接合リーク電流が発生しないような半導体装置の製造方法について説明する。

【0026】図1(a)はこの発明の実施の形態1によって半導体装置の一活性領域にコバルトシリサイド膜を形成した場合の断面図を示す。図において1は単結晶シリコンからなる半導体基板、2はLOCOS分離方法によって形成されたシリコン酸化膜からなる素子分離絶縁膜、3は半導体基板1の表面の活性領域となる領域に不純物イオン注入又は拡散によって形成された不純物領域、4は不純物領域3内に不純物Geの注入を行うことによって形成されたGe注入層、5は不純物領域の表面に形成されたコバルトシリサイド膜であり、半導体基板1との接合面は平滑な状態となっている。

【0027】図1(a)に示した断面構造の形成方法について工程順に説明する。まず、図1(b)に示すように半導体基板1に対して選択的に酸化を行い(LOCOS酸化)、膜厚500nm程度のシリコン酸化膜からなる素子分離絶縁膜2を形成する。次にイオン注入法、例えばAsを数十keV、1E14～1E16cm<sup>-2</sup>の条件下において注入し、熱処理を施すことで不純物領域3を形成する。

【0028】次に、半導体基板1の表面をCF<sub>4</sub>、C<sub>2</sub>F<sub>6</sub>等の炭化フッ素と酸素を含むガスのプラズマで最表面

(6)

特開平10-163130

9

のシリコンを除去し、クリーニングを行う。半導体基板1の最表面のSi層は酸素や炭素により汚染される場合が多く、Geイオン注入により酸素や炭素がSi内部に入るとCのシリサイド化反応時にC<sub>2</sub>O<sub>2</sub>Si<sub>2</sub>中にこれら汚染物に取り込まれC<sub>2</sub>O<sub>2</sub>Si<sub>2</sub>膜の抵抗が上昇する場合があるが、最表面のSiを除去することによりこの問題を解決することができる。

【0029】その後、イオン注入法により、Geを例えば数十keV、1E15~1E17cm<sup>-2</sup>の条件で注入することでGe注入層4を形成する。この段階において形成するGe注入層4は、後に形成する最初のコバルトシリサイド層よりも深い位置にピークがあり、かつそのピークは最終的に形成するコバルトシリサイド層5と半導体基板1を構成するSiとの界面と略同一、若しくはそれよりも浅く位置するように調整を行い形成する。

【0030】次に、図1(c)に示すように、HF水溶液やHF蒸気による処理またはスパッタエッチング処理を行うことで半導体基板1の表面の自然酸化等によって形成されたシリコン酸化膜を除去した後、スパッタリング法若しくはCVD (chemical vapor deposition) 法によってC<sub>2</sub>O<sub>2</sub>膜6を5~15nmの膜厚となるように形成する。

【0031】その後、図1(d)に示すように、第一の温度、350~550℃の温度で60秒間程度の熱処理を行い、不純物領域において、半導体基板1のシリコンとC<sub>2</sub>O<sub>2</sub>膜6とを反応させ、(第一)コバルトシリサイド膜5aを形成する。この時形成される(第一)コバルトシリサイド膜5aはC<sub>2</sub>O<sub>2</sub>Si<sub>2</sub>またはC<sub>2</sub>O<sub>2</sub>Si<sub>2</sub>のいずれか一方、若しくは両方からなる物質によって構成され、その膜厚はさきに積層されたC<sub>2</sub>O<sub>2</sub>膜6の膜厚の2倍程度となっている。また、Ge注入層のピーク位置が(第一)コバルトシリサイド5aと半導体基板1のSiとの界面より深くなるよう、Ge注入エネルギーとC<sub>2</sub>O<sub>2</sub>膜の膜厚とを調整しておく。

【0032】次に、図1(e)に示すように、上記の第一の温度での熱処理後においても未反応な状態で残るC<sub>2</sub>O<sub>2</sub>膜6を薬品、例えば硫酸と過酸化水素水との混合液を用いることによって溶解させ除去する。その後、第二の温度、700~900℃の温度で例えば10~60秒間程度の熱処理を施し、最終的に形成する(第二)コバルトシリサイド膜5を得る。

【0033】最終的に形成される(第二)コバルトシリサイド膜5はC<sub>2</sub>O<sub>2</sub>Si<sub>2</sub>により形成されており、その膜厚はさきに積層されるC<sub>2</sub>O<sub>2</sub>膜6の膜厚の3.5倍程度となっている。この第二の温度での熱処理工程において、C<sub>2</sub>O<sub>2</sub>膜6はGeよりもSiと選択的に反応するため、Ge注入層では相対的にシリサイド反応速度が遅くなる。

【0034】ここで、Ge注入層4の形成位置(深さ)は最終的に形成する(第二)コバルトシリサイド膜5の膜厚程度に設定してあるため、この(第二)コバルトシ

10

リサイド膜5はGe注入層4の深さ程度になると反応速度が遅くなり、ほぼGe注入層4のGe不純物濃度のピーク近傍、若しくはピークからGe注入層の底面の間の深さにまでコバルトシリサイド化反応が進んで反応が止まり、決定された膜厚に揃う。つまり、膜厚が不均一になるのを防止する効果があり、(第二)コバルトシリサイド膜5とGe注入層4が形成されたSi界面は平坦となり、(第二)コバルトシリサイド膜5は全体として、半導体基板1の表面に平滑な状態に形成される。従って、図1(a)に示されたGe注入層4は、図1(b)において形成された段階のものよりも、より狭い範囲を示すものであり、(第二)コバルトシリサイド膜5を形成する際のCoバルトシリサイド化反応がGe不純物ピークの位置よりも深く、Ge注入層4の下面よりも浅い位置にまで及んでいる場合には、最終的に形成されるGe注入層4はCoバルトシリサイド化反応が及んでいない部分のみを指すものとして図中には記載されている。

【0035】以上の工程によって平滑な接合を持つ(第二)コバルトシリサイド膜5の形成が可能となり、図1(a)に示すような構造の半導体装置が得られる。半導体基板上にはMOSトランジスタ等が作り込まれるが、本発明においては不純物領域上に形成される(第二)コバルトシリサイド膜5が、接合面を平滑に形成できるという点の特徴であるためその説明については省略する。

【0036】上記のようなシリサイドプロセスにおいて、Ge注入層4は第一回目の熱処理によって形成される(第一)コバルトシリサイド膜5aの形成位置よりも深い位置にそのピークが形成されるように調整して形成されるため、半導体基板1のシリコンに接するC<sub>2</sub>O<sub>2</sub>膜6はほぼ全てがシリサイド化される。つまり、Ge注入層4は(第一)コバルトシリサイド膜5aを形成する際には、このシリサイド反応に対して何の影響も与えない。従って(第一)コバルトシリサイド膜5aの膜厚は最初に積層されるC<sub>2</sub>O<sub>2</sub>膜6の膜厚により制御性良く決定されるものである。また、(第二)コバルトシリサイド膜5は(第一)コバルトシリサイド膜5aより厚く、上記の用にGe注入層のピーク位置を設定できる。

【0037】以上、示したように、この発明によれば、最終的に得られる(第二)コバルトシリサイド膜5(C<sub>2</sub>O<sub>2</sub>Si<sub>2</sub>)と半導体基板1を構成するシリコンとの界面が平滑な膜を制御性良く形成することが可能であり、その結果接合リーク電流が増大するのを抑制しながら所望の膜厚のコバルトシリサイド膜を得ることが可能となる。従って浅い接合上にコバルトシリサイド膜を形成する場合でも本発明によれば均一な膜厚のコバルトシリサイド膜を形成することが可能であり、高集積化された半導体装置の形成も可能になるという効果がある。

【0038】また、図1(a)に示すように、Ge注入層4のピークは(第二)コバルトシリサイド膜5と半導体基板1(不純物拡散領域3)との界面との略同一若し

(7)

特開平10-163130

12

くはより浅く位置し、(第二)コバルトシリサイド膜5形成時のシリサイド反応時にSiと選択的に反応するため、Geはこの反応時に取り残されるように半導体基板1との界面に偏析し、その結果、Ge濃度の大きなSiGe合金が形成される。GeはバンドギャップがSiに比べて狭いため、SiGe合金層はSiに比べGe濃度が大きくなるほど界面でのバンドギャップが狭くなり、その結果Cossiz膜とSiとのバリアも低くなりコンタクト抵抗が減少するという特徴もある。コンタクト抵抗が低減するとトランジスタのドレイン電流が増大し駆動能力が向上し、半導体装置の動作速度の高速化も可能となる。

【0039】なお、半導体基板1上にMOSFET (metal oxide semiconductor field effect transistor) が形成されており、MOSFETのソース/ドレイン領域にコバルトシリサイドを形成する場合に適用できることは言うまでもない。また、上記の説明においては半導体基板1は単結晶シリコンからなるものであると説明したが、例えばSOI (silicon on insulator) 基板を用いた場合にも同様に平滑な接合面を形成する(第二)コバルトシリサイド膜5を形成することが可能であり、同様の効果を有する半導体装置を形成することが可能である。

【0040】また、この実施の形態1においては、不純物領域3は半導体基板1に直接形成された状態として記載したが、不純物領域3の導電型とは逆の導電型のウェルを半導体基板1内に形成しておき、そのウェル内に不純物領域3を形成するということが常識的に考えられるのは言うまでもない。

【0041】実施の形態2、次に、この発明の実施の形態2について説明する。上述の実施の形態1においては、そのシリサイドプロセスにおいてGe注入層4をGeを半導体基板1内に注入することで形成したが、この実施の形態では、半導体基板1の表面上にGe膜8を積層するという点に相違がある。最終的に得ようとする半導体装置のシリサイドプロセス終了時における断面図は図2(a)に示す通りであり、半導体基板1の一主面上にコバルトシリサイド膜7がGe膜8を介して積層された構造となっている。

【0042】次に、この発明によるシリサイドプロセスについて工程順に説明する。まず、実施の形態1において示した場合と同様に、半導体基板1の表面の所定の領域上に素子分離絶縁膜2を所定の厚さ、例えば500nm程度の膜厚となるように形成し、不純物イオン注入法などにより不純物領域3を形成する。

【0043】その後、図2(b)に示すように、例えば原材料をGeH<sub>4</sub>とし、温度500~600℃、圧力0.1~1 Torrの条件下において熱CVD法により、半導体基板1上に選択的にGe膜8を10~15nmの膜厚となるように積層する。その後、SiH<sub>4</sub>を原

材料とし、同様の熱CVD法によってSi膜9を形成する。Si膜9の膜厚は実施の形態1の図1(d)の(第一)コバルトシリサイド膜5aの膜厚よりも大きく、図1(a)の(第二)コバルトシリサイド膜5の膜厚とほぼ同じ若しくはそれ以下の厚さとなるように調整する。

【0044】次に、実施の形態1において示した図1(c)~(e)の処理を同様にを行い、最終的に第二の温度での熱処理を終えた段階で、図2(a)に示すような状態となり、半導体基板1の一主面上に積層されたGe膜8の上層にコバルトシリサイド膜(Cossiz)7が所定の膜厚に積層された状態となる。

【0045】この実施の形態2において、Ge膜8は実施の形態1のGe注入層4と同様の働きをし、コバルトシリサイド膜7を形成するための熱処理時に、コバルトがSi膜9を消費し、シリサイド反応し、Si膜9を全て消費するとSi膜9の底面のGe膜8、及びその近傍においては抑制され、結果的にコバルトシリサイド膜7はGe膜8の形成位置よりも浅い位置に配置され、その底面は平滑な状態として形成される。

【0046】この実施の形態によれば、半導体基板1上にGe膜8、Si膜9を積層するため、最終的にコバルトシリサイド膜7を形成した場合においても、半導体基板1の表面のSiの消費を抑制することが可能であり、その結果さらに浅い接合を有する半導体装置でも、接合を破壊することが無い等の効果がある。

【0047】なお、Ge膜8として純粋なGeを用いる代わりに、GeH<sub>4</sub>とSiH<sub>4</sub>とを原材料とする熱CVD法により、GeSi合金を形成しても同様の効果を得ることが可能である。また、Cossiz膜を形成する前にSi膜9を形成し、この2つの膜形成を真空連続で行うことで、自然酸化膜等の形成防止を行うことも有効である。

【0048】実施の形態3、次に、この発明の実施の形態1のコバルトシリサイドプロセスを用いてMOSTランジスタを形成する場合について、その製造方法を工程順に説明する。最終的に得る構造は図3(a)に示すようなMOSTランジスタであり、図において、符号10はゲート絶縁膜、11はゲート電極、13はゲート電極11の側断面に付着して形成されたサイドウォール、15は低濃度不純物領域12と高濃度不純物領域14からなるソース/ドレイン領域、18はゲート電極11及びソース/ドレイン領域15内にイオン注入によって形成されたGe注入層、18はゲート電極11及びソース/ドレイン領域15の表面に形成されたコバルトシリサイド膜をそれぞれ示している。

【0049】このように形成された半導体装置においては、ソース/ドレイン領域上及びゲート電極の表面にはコバルトシリサイド膜Cossiz膜が積層された状態となっており、そのコバルトシリサイド膜の底面は平滑で、ソース/ドレイン領域上のコバルトシリサイド膜については、ソース/ドレイン領域とバルクシリコン(若



(a)

特開平10-163130

13

しくはソース/ドレイン領域がウェル上に形成されている場合はウェル)との境界にコバルトシリサイド膜が接していない状態となっている特徴を持っている。

【0050】次に、上記のような半導体装置の製造方法について説明する。ここではサリサイド構造のNMOSトランジスタを例に挙げ、その製造方法について説明する。まず、図3(b)に示すように、半導体基板1の所定の領域に対して選択的にLOCOS酸化を行うことによって素子分離絶縁膜2を形成する。その後、図3

(c)に示すように、露出された半導体基板1の表面を熱酸化するなどしてゲート絶縁膜となるシリコン酸化膜10aを5~10nm程度の厚さとなるように形成する。

【0051】その後、図3(d)に示すように、CVD法若しくはスパッタリング法によって例えば200~500nm程度の膜厚のポリシリコン膜11aを積層する。次に、図3(e)に示すように、ゲート電極を形成しようとする領域上に、ゲート長方向の寸法が0.1~0.5μm程度のレジストパターンを形成し、これをマスクとしてポリシリコン膜11aを異方性エッチングして所定の寸法のゲート電極11を得る。

【0052】さらに、少なくともソース/ドレイン領域を形成しようとする領域、つまりゲート電極11を挟んだ領域に対し、例えば不純物As(ヒ素)を注入し半導体基板1の表面上に選択的に低濃度不純物領域12を形成する。

【0053】その後、図3(f)に示すように、ゲート電極11の側断面に絶縁膜からなるサイドウォール13を形成する。さらに不純物としてAsを注入することで高濃度不純物領域14を形成する。この段階において低濃度不純物領域12及び高濃度不純物領域14からなるソース/ドレイン領域15が形成できる。

【0054】なお、ここでは、一例として低濃度不純物領域12と高濃度不純物領域14との形成深さを同程度としているが、低濃度不純物領域12をより浅く形成することも可能である。

【0055】次に、図3(g)に示すように、イオン注入法により、Geを例えば数十keV、1E15~1E17cm<sup>-2</sup>の条件で注入することで、ソース/ドレイン領域15及びゲート電極11のそれぞれの上面から底面までの間の位置にGe注入層16を形成する。このGe注入層16はゲート電極11及びソース/ドレイン領域15の表面から所定の深さの位置に形成され、後に形成するコバルトシリサイド膜18aの形成を妨げない位置に配置する。

【0056】次に、図3(h)に示すように、スパッタリング若しくはCVD法によってCo膜17を5~15nmの膜厚となるように半導体装置の全面に積層する。

【0057】その後、図3(i)に示すように、第一の温度、350~550℃の温度で例えば60秒間熱処理

14

を行い、活性領域において、半導体基板1のシリコンとCo膜17とを反応させ、(第一)コバルトシリサイド膜18aを形成する。このコバルトシリサイド膜18aはCoSiまたはCo<sub>2</sub>Siにより形成されており、ここで形成されるコバルトシリサイド膜18aの膜厚は、さきに積層されたCo膜17の膜厚の2倍程度となり、その組成はCoSi若しくはCo<sub>2</sub>Si、またはそれらの混合物質となっている。

【0058】次に、図3(j)に示すように、上記の第一の温度での熱処理後においても未反応な状態で残るCo膜17を、例えば硫酸と過酸化水素水の混合液からなる薬品を用いて、50~100℃の温度において溶解させることにより除去する。

【0059】その後、第二の温度、700~900℃の温度で10~60秒間程度の熱処理を施し、最終的な組成がCoSi<sub>2</sub>となる(第二)コバルトシリサイド膜18を形成する。なお、MOSトランジスタのソース/ドレイン領域と上層配線とを電気的に接続するコンタクトの形成についてはここでは説明を省略する。

【0060】このように、実施の形態1において示したコバルトシリサイド膜を形成するサリサイドプロセスをMOSトランジスタの形成に用いることが可能である。この場合も、実施の形態1の場合と同様に、最終的に得られるコバルトシリサイド膜5(CoSi<sub>2</sub>)と半導体基板1を構成するシリコンとの界面が平滑な膜を制御性良く形成することが可能であり、その結果、接合リーク電流が増大するのを抑制しつつ所望の膜厚のコバルトシリサイド膜を得ることが可能となる。

【0061】従って、浅い接合上にコバルトシリサイド膜を形成する場合でも、本発明を用いることで均一な膜厚のコバルトシリサイド膜を形成することが可能であり、高集積化された半導体装置の形成も可能になるという効果がある。また、MOSトランジスタの形成に限らず、他の素子の形成に用いることが可能であることは言うまでもない。

【0062】また、図3(a)に示すように、実施の形態1と同様に、コバルトシリサイド膜18と半導体基板1との界面にGeが偏析した状態となるため、部分的にGe濃度の大きなSiGe合金が形成される。GeはバンドギャップがSiに比べて狭いため、SiGe合金層はSiに比べGe濃度が大きくなるほど界面でのバンドギャップが狭くなり、その結果CoSi<sub>2</sub>層とSiとのバリアも低くなりコンタクト抵抗が減少するという特徴もある。コンタクト抵抗が低減するとトランジスタのドレイン電流が増大し駆動能力が向上し、半導体装置の動作速度の高速化も可能となるという効果がある。

【0063】実施の形態4. 次に、既に説明した発明の実施の形態2のコバルトシリサイドプロセスを用いてMOSトランジスタを形成する方法を、この実施の形態4において説明する。最終的に形成するMOSトランジスタ

(9)

特開平10-163130

15

タの構成は図4(a)に示すような構造であり、図4(a)において、19はソース/ドレイン領域15及びゲート電極11上に積層されたGe膜であり、このGe膜19上にコバルトシリサイド(CoSi<sub>2</sub>)膜18が形成されている。

【0064】次に、図4(a)に示す半導体装置の製造方法について説明する。まず、実施の形態3において示した製造方法に従って図3(b)～図3(e)までの処理を行い、ゲート電極11及びソース/ドレイン領域15を形成する。

【0065】その後、図4(b)に示すように、露出したソース/ドレイン領域15の表面及びゲート電極11の表面に選択的にGe層19を10～15nmの厚さとなるように形成する。このGe膜19は露出したシリコン基板(半導体基板1)表面及びポリシリコン(ゲート電極11)の表面のみに選択的に形成するものであり、温度500～600℃、圧力0.1～1torr、GeH<sub>4</sub>流量50～100sccmの条件下において形成することが可能である。この場合、Ge膜19の成長速度は下地に依存しているため、シリコン酸化膜からなるサイドウォール13及び素子分離絶縁膜2上には積層されず、ゲート電極11上及びソース/ドレイン領域15の表面のみに選択的に形成される。

【0066】次に、図4(c)に示すように、選択的にGe膜19上にSi膜20を膜厚10～30nm程度となるように積層する。このSi膜20は、温度500～600℃、圧力0.1～1torr、SiH<sub>4</sub>流量50～100sccmの条件下において形成することが可能である。この場合においても、Si膜20の成長速度は下地に依存しているため、シリコン酸化膜からなるサイドウォール13及び素子分離絶縁膜2上には積層されず、Ge膜19の表面のみに選択的に積層される。

【0067】その後、図4(d)に示すように、CVD法若しくはスパッタリング法によって半導体装置の全面に5～15nm程度の厚さにCo膜17を積層する。次に、図4(e)に示すように、350～500℃の温度下において1分間程度の熱処理を行い、Co膜17とSi膜20とを反応させ、CoSi<sub>2</sub>若しくはCo<sub>2</sub>Si、又はそれらの混合物質からなるコバルトシリサイド膜18aを形成する。サイドウォール13上及び素子分離絶縁膜2上に積層されたCo膜17についてはこの熱処理によってシリサイド化されないため、未反応の状態のCo膜17として残される。

【0068】次に、図4(f)に示すように、未反応のCo膜17を、例えば硫酸と過酸化水素水の混合液からなる薬品を用いて、50～100℃の温度において溶解させ、除去する。

【0069】その後、第二の温度、700～900℃の温度で10～60秒間程度の熱処理を施すことで、コバルトシリサイド膜18aとその下層に位置する未反応の

16

Si膜19とを反応させることで、図4(a)に示した、組成がCoSi<sub>2</sub>であるコバルトシリサイド膜18を得る。なお、MOSトランジスタのソース/ドレイン領域と上層に形成される配線とを電気的に接続するコンタクトの形成についてはここでは説明を省略する。

【0070】上記のような工程を経ることで、実施の形態2において示したコバルトシリサイド工程をMOSトランジスタの形成に応用することが可能となる。また、MOSトランジスタの形成に限らず、この発明のコバルトシリサイド工程を他の素子の形成に用いることが可能であることは言うまでもない。

【0071】この実施の形態において、Ge膜19は、例えば実施の形態1のGe注入層4と同様の働きをし、コバルトシリサイド膜7を形成するための熱処理時に、シリサイド反応がSi膜9の底面のGe膜8、及びその近傍においては抑制され、その底面は平滑な形状に形成される。

【0072】また、実施の形態3において示したように、GeはバンドギャップがSiに比べて狭いため、SiGe合金層はSiに比べGe濃度が大きくなるほど界面でのバンドギャップが狭くなり、その結果CoSi<sub>2</sub>層とSiとのバリアも低くなりコンタクト抵抗が減少するという特徴もある。コンタクト抵抗が低減するとトランジスタのドレイン電流が増大し駆動能力が向上し、半導体装置の動作速度の高速化も可能となるという効果がある。

【0073】さらに、この実施の形態によれば、半導体基板1上にGe膜19、Si膜20を積層するため、最終的にコバルトシリサイド膜18を形成した場合においても、半導体基板1の表面のSiの消費を抑制することが可能であり、その結果さらに浅い接合を有する半導体装置でも、接合を破壊することが無い等の効果がある。

【0074】なお、実施の形態2において示した場合と同様に、この実施の形態4においてもGe膜19として純粋なGeを用いる代わりに、GeH<sub>4</sub>とSiH<sub>4</sub>とを原材料とする熱CVD法により、GeSi合金を形成しても同様の効果を得ることが可能である。また、Co膜を形成する前にSi膜20を形成することで、自然酸化膜等の除去を行うことも有効である。

【0075】

【発明の効果】この発明によれば、コバルトシリサイド膜(CoSi<sub>2</sub>)と半導体基板との界面が平滑な膜を制御性良く形成することで、接合リーク電流の発生を抑制することが可能となる。また、コバルトシリサイド膜と半導体基板との界面にGe濃度の大きなSiGe合金が位置する状態となるため、例えばMOSトランジスタを形成していた場合、ソース/ドレイン領域上におけるコンタクト抵抗が減少し、トランジスタのドレイン電流が増大し駆動能力が向上する。これによって半導体装置の動作速度の高速化も可能となる等の効果がある。

(10)

特開平10-163130

17

【0076】また、この発明によれば、上記と同様の効果に加え、半導体基板上にGe膜、コバルトシリサイド膜を形成するため、半導体基板1の表面のSiの消費を抑制することが可能となる等の効果がある。

【0077】さらに、この発明によれば、Ge注入層はコバルトシリサイド膜と半導体基板（ソース/ドレイン領域）との界面と同一または浅い位置にピークを有し、コバルトシリサイド膜形成時に、このコバルトシリサイド膜と半導体基板との界面にGeが偏析するため、Ge濃度の大きなSiGe合金が形成される。GeはバンドギャップがSiに比べて狭いため、SiGe合金層はSiに比べGe濃度が大きくなるほど界面でのバンドギャップが狭くなり、その結果CnSi2層とSiとのバリアも低くなりコンタクト抵抗が減少するという特徴もある。コンタクト抵抗が低減するとトランジスタのドレイン電流が増大し駆動能力が向上し、半導体装置の動作速度の高速化も可能となるという効果がある。

【0078】また、この発明によれば、上記と同様の効果に加え、半導体基板上にGe膜、コバルトシリサイド膜を積層した状態とするため、半導体基板の表面のSiの消費を抑制することが可能となる等の効果がある。

【0079】この発明の半導体装置の製造方法によれば、最終的に得られるコバルトシリサイド膜（CnSi2）と半導体基板を構成するシリコンとの界面が平滑な膜を制御性良く形成することが可能であり、その結果、接合リーク電流の発生を抑制しながら所望の膜厚のコバルトシリサイド膜を得ることが可能となる。従って浅い接合上にコバルトシリサイド膜を形成する場合でも本発明によれば均一な膜厚のコバルトシリサイド膜を形成することが可能であり、高集積化された半導体装置の形成も可能となるという効果がある。

【0080】また、この発明の製造方法によれば、半導体基板上にGe膜、Si膜を積層するため、最終的にコバルトシリサイド膜を形成した場合においても、半導体基板の表面のSiの消費を抑制することが可能であり、その結果さらに浅い接合を有する半導体装置でも、接合を破壊することが無い高性能な半導体装置を形成することが可能になるという効果がある。

【0081】さらに、この発明の製造方法によれば、Ge注入層はコバルトシリサイド膜と半導体基板（ソース/ドレイン領域）との界面と同一またはより浅い位置にピークを有し、コバルトシリサイド膜形成時にこのコバルトシリサイド膜と半導体基板との界面にGeが偏析するため、Ge濃度の大きなSiGe合金が形成される。GeはバンドギャップがSiに比べて狭いため、SiGe合金層はSiに比べGe濃度が大きくなるほど界面でのバンドギャップが狭くなり、その結果CnSi2層とSiとのバリアも低くなりコンタクト抵抗が減少するという特徴もある。コンタクト抵抗が低減するとトランジスタのドレイン電流が増大し駆動能力が向上し、半導体

18

装置の動作速度の高速化が可能な半導体装置を形成することが可能になるという効果がある。

【0082】また、この発明の製造方法によれば、半導体基板上にGe膜、Si膜を積層するため、最終的にコバルトシリサイド膜を形成した場合においても、半導体基板の表面のSiの消費を抑制することが可能であり、その結果さらに浅い接合を有する半導体装置でも、接合を破壊することが無い高性能な半導体装置を形成することが可能になるという効果がある。

【0083】さらに、この発明の製造方法によれば、半導体基板の表面のシリコンを除去し、クリーニングを行うことによって、半導体基板の最表面の酸素や炭素を除去し、不純物Geの注入により酸素や炭素がSi内部に入り込むという現象を抑制できるという効果がある。

【0084】また、この発明の製造方法によれば、コバルトシリサイド膜形成の際の温度を、第一の温度は350～550℃、第二の温度は700～900℃の範囲に調整することで最適なシリサイド化処理を行うことが可能になる。

【0085】さらに、この発明の製造方法によれば、第一のコバルトシリサイド膜はCnSi若しくはCnSi2のいずれか一方、若しくは両方が混合された物質からなり、第二のコバルトシリサイド膜はCnSi2からなるものとすることによって、最終的に膜厚制御性が良く、平滑で低抵抗なコバルトシリサイド膜を得ることが可能になる。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体装置及びその製造方法を示す図である。

【図2】 この発明の実施の形態2による半導体装置の製造方法を示す図である。

【図3】 この発明の実施の形態3による半導体装置及びその製造方法を示す図である。

【図4】 この発明の実施の形態4による半導体装置及びその製造方法を示す図である。

【図5】 従来の技術による半導体装置の製造方法を示す図である。

#### 【符号の説明】

1. 半導体基板
2. 素子分離絶縁膜
3. 不純物領域
- 4、16. Ge注入層
- 5、5a、7、18、18a. コバルトシリサイド膜
- 6、17. Co膜
- 8、19. Ge層
- 9、20. Si層
10. ゲート酸化膜
11. ゲート電極
12. 低濃度不純物領域
13. サイドウォール

(11)

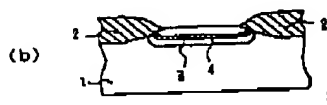
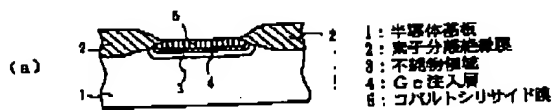
特開平10-163130

19

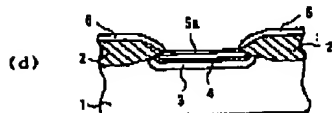
20

14. 高濃度不純物領域  
15. ソース/ドレイン領域

【図1】



6: Co膜



5a: コバルトシリサイド膜



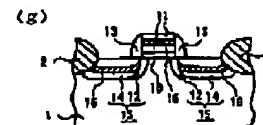
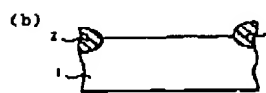
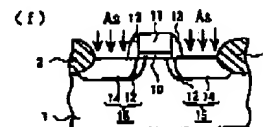
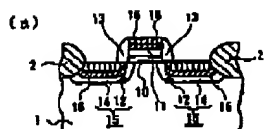
- 10a. シリコン酸化膜  
11a. ポリシリコン膜

【図2】

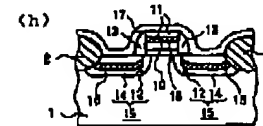


9: Si膜

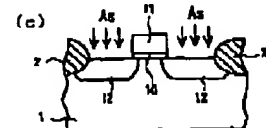
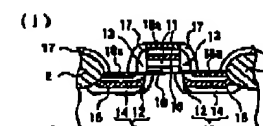
【図3】



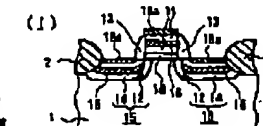
10a: シリコン酸化膜



11a: ポリシリコン膜



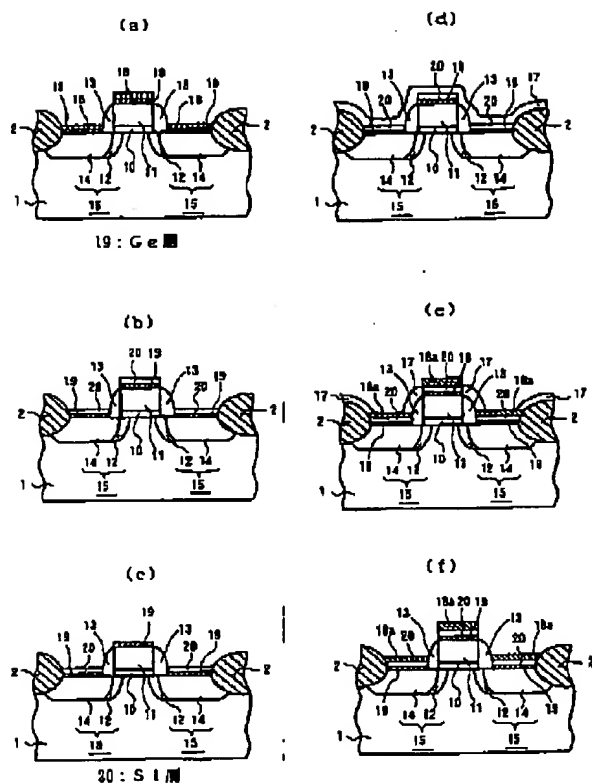
- 10: ゲート酸化膜  
11: ゲート電極  
12: 高濃度不純物領域  
13: サイドウォール  
14: 高濃度不純物領域  
15: ソース/ドレイン領域  
16: Ge注入層  
17: コバルトシリサイド膜



(12)

特開平10-163130

【図4】



【図5】

